

## (54) READING AND REPRODUCING DEVICE FOR AUDIO SIGNAL

(11) 61-168172 (A) (43) 29.7.1986 (19) JP

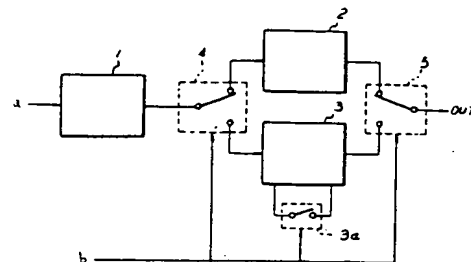
(21) Appl. No. 60-8883 (22) 21.1.1985

(71) PIONEER ELECTRONIC CORP (72) TSUTOMU YAMASHITA

(51) Int. Cl. G11B20/02

**PURPOSE:** To cut off only a low frequency component consisting of a time base error by using a high-pass filter and a compressing and expanding noise reduction circuit selectively according to the recording format of a reproduced signal.

**CONSTITUTION:** When a video disk in reproduction is a disk which is recorded without compressing and expanding noise reduction, an HPF2 is selected through selection switches 4 and 5 to cut off only the low frequency component of the time base error. When the disk which is recorded in compressing and expanding noise reduction mode is reproduced, the compressing and expanding noise reduction circuit 3 is selected through the selection switches 4 and 5 with a control signal and the switch 3a of the noise reduction circuit 3 is turned on. Consequently, the circuit 3 compresses an input signal when its signal level is lower than a reference and expands it when not to output the resulting signal, thus processing even the low frequency component consisting of the time base error. Consequently, only the low frequency component consisting of the time base error is cut off without spoiling an original music signal.



1: demodulator, 2: high-pass filter, a: RF signal, b: control signal

## (54) RECORDING AND REPRODUCTION SYSTEM

(11) 61-168173 (A) (43) 29.7.1986 (19) JP

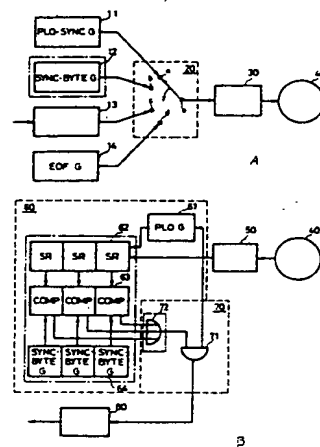
(21) Appl. No. 60-8887 (22) 21.1.1985

(71) NEC CORP (72) TADAO OIWA

(51) Int. Cl. G11B20/10, G11B7/00, G11B11/10

**PURPOSE:** To detect a synchronizing pattern stably and to demodulate data by generating and recording plural kinds of synchronizing patterns on a recording medium, detecting the synchronizing patterns during reproduction, and judging a demodulation start point when even one detection output is generated.

**CONSTITUTION:** A clock synchronizing burst pattern, three kinds of synchronizing patterns which differ by two bits respectively, modulated digital data, and a file end pattern are inputted from a synchronizing burst pattern generator 11, a synchronizing pattern generator 12, a demodulator 13 for data, and a file pattern generator 14 to a recorder 30 through contacts (a)~(c) of a switch 20, so that they are recorded on the recording medium 40. A signal reproduced by a reproducer 50 from the recording medium 40 is inputted to a shift register 62 and a synchronizing pattern from a synchronizing pattern generator 64 is compared by a comparator 63 with the contents of the register 62 as to every synchronizing pattern SYNC-BYTT and an AND gate 17 is opened when even one pattern is coincident, so that the data is demodulated by a demodulator 80.



A: block constitution diagram of example storage device.  
B: block constitution diagram of example reproducing device

## (54) CONVERTING DEVICE FOR SAMPLING FREQUENCY

(11) 61-168174 (A) (43) 29.7.1986 (19) JP

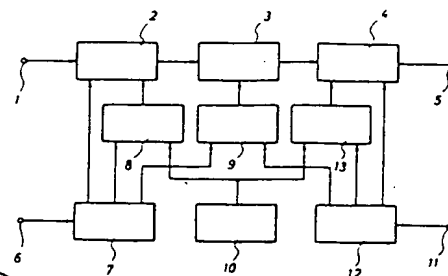
(21) Appl. No. 60-8385 (22) 22.1.1985

(71) SONY CORP (72) TETSUO KATO

(51) Int. Cl. G11B20/18

**PURPOSE:** To convert the sampling frequency of a digital audio signal through with high precision through simple constitution by processing the digital audio signal of the 1st sampling frequency through the linear interpolation and high-order interpolation of an interpolating circuit and thus generating a digital audio signal of the 2nd sampling frequency.

**CONSTITUTION:** The digital audio signal (DO) of the 1st sampling frequency inputted to an input terminal 1 is written in an input-side buffer memory 2, read out with a readout clock of the 2nd sampling frequency from a readout address clock generator 8, and supplied to the interpolating circuit 3. The signal DO is divided into two sequences by the filter circuit of the circuit 3 and signals after the interpolation processes which are obtained by a linear interpolating circuit and a high-order interpolating circuit are added together by an adder on the basis of phases of a write and a read address clock corresponding to the 1st and the 2nd sampling frequencies from a phase information circuit 9, so that the interpolated signal DO of the 2nd sampling frequency whose transfer function is 1 is supplied to an output buffer 4.



7,13: write address clock generator, 10: system clock generator,  
12: readout address clock generator

## ⑫ 公開特許公報(A)

昭61-168173

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月29日

G 11 B 20/10  
7/00  
11/106733-5D  
A-7734-5D  
8421-5D

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 記録再生方式

⑰ 特 願 昭60-8887

⑱ 出 願 昭60(1985)1月21日

⑫ 発 明 者 大 岩 忠 男 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑮ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑯ 代 理 人 弁理士 井出 直孝

## 明 細 書

1. 発明の名称  
記録再生方式

## 2. 特許請求の範囲

(1) 同期バタンを発生する同期バタン発生器と、  
この同期バタンをデジタル情報の一部として  
記録媒体に記憶する記録器と、

この記録媒体に記録されたデジタル情報を再生  
する再生器と、

この再生器の出力から同期バタンを検出する検  
出器と、

この検出器の検出出力によりデータの復調開始  
点を判定する判定器と

を備えたデジタル情報の記録再生方式におい  
て、

上記同期バタン発生器はそのバタン構成が互い  
に2ビット以上異なる複数種類の同期バタンを発生  
する同期バタン発生手段を備え、

上記検出器は上記複数種類の同期バタンのいず  
れをも同期バタンとして検出する検出手段を備え、

上記判定器はこの検出手段のいずれか一つの検  
出出力により上記データの復調開始点を判定する  
判定手段を備えた

ことを特徴とする記録再生方式。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル情報を磁気媒体、光磁気  
媒体、光媒体に記録再生する記録再生方式に関す  
る。特に、同期バタンを冗長化して復調を安定化  
させる方式に関する。

(概 要)

本発明は、デジタル情報の記録再生方式にお  
いて、

記録フォーマットの同期バタン部を複数種類の  
異なる同期バタンを連続して記録するように構成  
し、再生時にはこの複数の同期バタンのうちの  
一つでも検出されれば、それによりデータの復調開

始点を判定することにより、

安定して同期ボタンを検出しデータの復調が行えるようにしたものである。

(従来の技術)

第6図は従来例の記録再生装置の記録フォーマットである。従来記録再生装置は、記録フォーマットを第6図に示すように、データ復調用のクロックを作るクロック同期化バーストボタン部1とデータの開始点を示す同期ボタン部とそれに続くデータ部3とから構成されている。

(発明が解決しようとする問題点)

しかし、このような従来の記録再生装置では同期ボタン部2は一般的には複数のビットから構成されており、例えば8ビットから構成されている場合にはその8ビットが完全に同期ボタンSYNC・BYTEに一致しないと同期ボタンSYNC・BYTEとして検出されない。

したがって媒体の欠陥または記録装置の欠陥により同期ボタン部2が記録時に正しく記録されない場合や、再生時に再生装置の欠陥および雑音等

により同期ボタン部2が正しく検出されない場合には、それに続くデータDATAは復調することができない欠点があった。

本発明は上記の欠点を解決するもので、安定して同期ボタンを検出しデータの復調ができる記録再生方式を提供することを目的とする。

(問題点を解決するための手段)

本発明は、同期ボタンを発生する同期ボタン発生器と、この同期ボタンをデジタル情報の一部として記録媒体に記憶する記録器と、この記録媒体に記録されたデジタル情報を再生する再生器と、この再生器の出力から同期ボタンを検出する検出器と、この検出器の検出出力によりデータの復調開始点を判定する判定器とを備えたデジタル情報の記録再生方式において、上記同期ボタン発生器はそのボタン構成が互いに2ビット以上異なる複数種類の同期ボタンを発生する同期ボタン発生手段を備え、上記検出器は上記複数種類の同期ボタンのいずれをも同期ボタンとして検出する検出手段を備え、上記判定器はこの検出手段のい

3

ずれか一つの検出出力により上記データの復調開始点を判定する判定手段を備えたことを特徴とする。

(作用)

本発明は、記録時に同期ボタン発生手段で互いに2ビット以上異なる複数種類の同期ボタンを発生し、記録器で記録媒体に記録する。再生時に再生器で再生された上記互いに2ビット以上異なる複数種類の同期ボタンを検出手段でそれぞれ検出し、判定手段で一つでも検出出力があればそれにより復調開始点を判定することにより、安定して同期ボタンを検出しデータの復調を行うことができる。

(実施例)

本発明の実施例について図面を参照して説明する。

第1図は本発明第一実施例記録再生装置の記録装置のブロック構成図である。第2図は本発明実施例の記録再生装置の再生装置のブロック構成図である。第1図において、クロック同期バースト

4

ボタン発生器11からクロック同期バーストボタンPLO・SYNCが切換器20の接点aに接続される。

ここで本発明の特徴とするところは、一点鎖線で囲む同期ボタン発生部分である。すなわち、同期ボタン発生器12からは同期ボタンとして1種類のボタンではなく、この例では3種類の同期ボタンが発生される。一つの同期ボタンは8ビット構成であるが、3種類の同期ボタンは、それぞれ互いに少なくとも2ビットずつ異なるように構成される。この3種類の同期ボタンSYNC・BYTE<sub>1</sub>、～SYNC・BYTE<sub>3</sub>が切換器20の接点bに接続される。図外からデジタルデータが変調器13に接続され、変調器13から変調されたデジタルデータDATAが切換器20の接点cに接続される。また、ファイル終了ボタン発生器14からファイル終了ボタンEOPが切換器20の接点dに接続される。切換器20の接点eが記録器30の入力に接続され、クロック同期バーストボタンPLO・SYNC、同期ボタンSYNC・BYTE<sub>1</sub>、～SYNC・BYTE<sub>3</sub>、変調されたデジタルデータDATAおよびファイル終了ボタンEOPが順次入力される。

5

6

記録器30の出力は記録媒体40に接続され記録される。

第2図において、記録媒体40からクロック同期ボタン $PL0 \cdot SYNC$ 、同期ボタン $SYNC \cdot BYTE_1 \sim SYNC \cdot BYTE_n$ 、変調されたデジタルデータDATAおよびファイル終了ボタンEOPが再生器50の入力に接続される。再生器50からクロック同期バーストボタン $PL0 \cdot SYNC$ が検出器60のクロック発生器61の力に接続される。

ここで本発明の特徴とすることは、一点鎖線で囲む同期ボタン検出および復調開始点判定部分である。すなわち、クロック発生器61からクロック信号がシフトレジスタ62のクロック入力に接続される。再生器50から同期ボタン $SYNC \cdot BYTE_1 \sim SYNC \cdot BYTE_n$ がシフトレジスタ62の入力に接続される。再生器50から変調されたデジタルデータDATAおよびファイル終了ボタンEOPが判定器70のアンドゲート71の一方の入力に接続される。シフトレジスタ62から同期ボタン $SYNC \cdot BYTE_1 \sim SYNC \cdot BYTE_n$ がそれぞれ比較器63のそれぞれの入力に

接続される。また同期ボタン発生器64から同期ボタン $SYNC \cdot BYTE_1 \sim SYNC \cdot BYTE_n$ がそれぞれ比較器63のそれぞれの入力に接続される。比較器63から比較結果がそれぞれオアゲート72のそれぞれの入力に接続される。オアゲート72に出力は上記アンドゲート71の他の入力に接続される。アンドゲート71の出力は復調器80の入力に接続され、復調器80から復調されたデジタルデータが出力される。

このような構成の記録再生装置の動作について説明する。第3図は本発明の記録再生装置の記録フォーマットである。第3図において、クロック同期化バーストボタン部1は数十バイトで構成され、「111.....1」、「10101.....01」または「00.....0」でもよい。ただクロックの同期が十分取ればよく、ボタンおよび長さは規定されない。

次に本発明の特徴とするとところで、同期ボタン $SYNC \cdot BYTE$ を複数種設ける。第3図の例では8ビットからなる3個の同期ボタン $SYNC \cdot BYTE_1$ 、 $SYNC$

$\cdot BYTE_n$ 、 $SYNC \cdot BYTE$ が連続して配置されている。その後にデータ部3（誤り訂正コードECCも含む）が配置される。このデータ部3の長さは固定のバイト数でも可変のバイト数でもよい。その後にデータの終わりを示すファイル終了ボタンEOPがつけられるのが一般的である。

第4図は本発明の記録再生装置の同期ボタンを示す図である。第4図において、記録フォーマットは3個の同期ボタン $SYNC \cdot BYTE_1 \sim SYNC \cdot BYTE_n$ は各々8ビットで構成され、また互いにボタン（ビット構成）が2ビット以上異なるように構成される。さらに、この同期ボタン $SYNC \cdot BYTE$ はデータ部3に決して発生しないようなボタンであることが要求される。「▽」印はクロックミッシング位置を示す。同期ボタン $SYNC \cdot BYTE_1$ が検出されてからデータ部3になるまでのクロック数は16クロック（16ビット後）であり、また同期ボタン $SYNC \cdot BYTE_n$ のボタンが検出されてからデータ部3になるまでは8ビット後である。同様に同期ボタン $SYNC \cdot BYTE$ のボタンが検出されてから、次にデ

ータ部3が開始されることになる。よって記録時の不具合、媒体の欠陥または再生時の雑音等により再生された信号に雑音がのって同期ボタン $SYNC \cdot BYTE$ が乱れてもいずれか一つの同期ボタン $SYNC \cdot BYTE$ が検出されれば正確にデータ部3の始めがわかり、データ部3の復調が支障なく行える。また同期ボタン $SYNC \cdot BYTE$ 間に2ビット以上の差異があるので同期ボタン $SYNC \cdot BYTE$ 間の誤検出の確率も非常に低くおさえることができる。したがって、比較的エラーレートの悪い装置でも安定してデータ部3の開始点が決まる。

第5図は記録発生装置のビットエラー発生間隔を示す図である。第5図において、「×」印はエラービットを示し、Tはエラー発生間隔（ビット数）である。一般に、記録面密度が高くなるにつれて媒体の質に起因するビット誤り率が大きくなっていく。したがって、同期ボタン部2に誤りが発生する機会も多くなりデータの復調が不可能になる。

ここで最適な同期ボタン $SYNC \cdot BYTE$ の数について

て説明する。一般的にビット誤りの発生は、記録面に一様に発生する傾向があるが、例えば第5図に示すように一つのエラー発生群から次のエラー発生群までの距離T(ビット数)が8ビットより少なくなる確率がほとんどなく、同期ボタンSYNC・BYTEの数を3個にすれば十分で3個の全ての同期ボタンSYNC・BYTEが検出されなく確率はほとんどなく、非常に安定して同期ボタンSYNC・BYTEの検出が行える。

第1図において、クロック同期化バーストボタン発生器11、同期ボタン発生器12、データの変調器13およびファイル終了ボタン発生器14からの信号を順次切換器20で切換えてゆき記録媒体40に記録器30で記録する。

第2図において、記録媒体40から再生器50で再生された信号は、シフトレジスタ62に入力され同期ボタン発生器64からの同期ボタンSYNC・BYTEとシフトレジスタ62の内容が比較器63で各々の同期ボタンSYNC・BYTE、 $\sim$ SYNC・BYTE、ごとにシフトレジスタ62に信号が入力されるたびに比較される。

少なくとも1個の同期ボタンSYNC・BYTEが比較一致が取れたならば、アンドゲート71を開き、次からの信号がデータDATAであるので復調器80に入力され復調される。

〔発明の効果〕

本発明は、以上説明したように、同期ボタン部を複数種類のボタンで構成することにより、ビット誤り率の大きい媒体でも安定して同期ボタンの検出ができ、データの復調が行える優れた効果がある。

#### 4. 図面の簡単な説明

第1図は本発明一実施例記録再生装置の記録装置のブロック構成図。

第2図は本発明実施例記録再生装置の再生装置のブロック構成図。

第3図は本発明の記録再生装置の記録フォーマット。

第4図は本発明の記録再生装置の同期ボタンを示す図。

1 1

1 2

第5図は記録再生装置のビットエラー発生間隔を示す図。

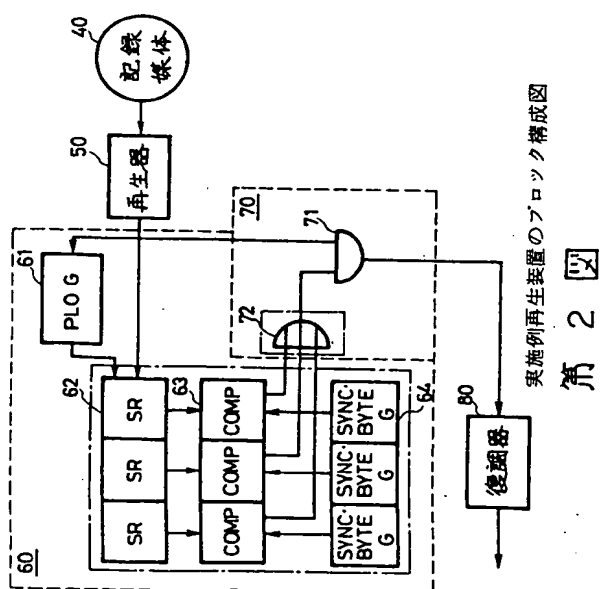
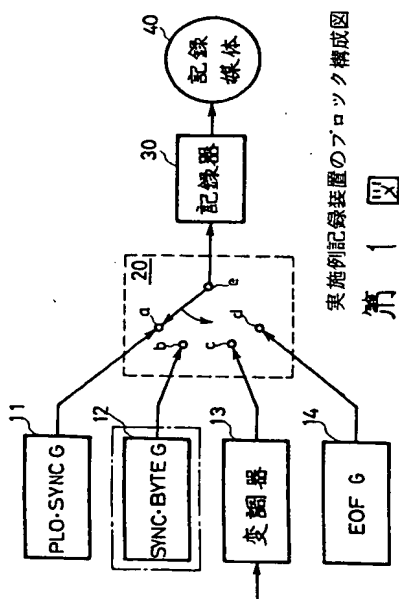
第6図は従来例の記録再生装置の記録フォーマット。

1…クロック同期バーストボタン部、2…同期ボタン部、3…データ部、4…ファイル終了ボタン部。

11…クロック同期バーストボタン発生器(PL0・SYNC G)、12、64…同期ボタン発生器(SYNC・BYTE G)、13…変調器、14…ファイル終了ボタン発生器(E0F G)、20…切換器、30…記録器、40…記録媒体、50…再生器、60…検出器、61…クロック発生器(PL0 G) 62…シフトレジスタ(SR)、63…比較器(COMP)、70…判定器、71…アンドゲート、72…オアゲート、80…復調器、DATA…データ、PL0・SYNC…クロック同期バーストボタン、SYNC・BYTE…同期ボタン、a, b, c, d, e…切換器(20)の接点。

特許出願人 日本電気株式会社  
代理人 弁理士 井出直孝

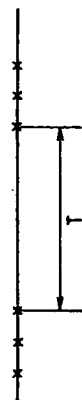
1 3



SYNC-BYTE<sub>1</sub>: 1 0 0 0 0 0 1  
 SYNC-BYTE<sub>2</sub>: 0 1 0 0 0 0 1  
 SYNC-BYTE<sub>3</sub>: 0 0 1 0 0 0 1

本発明の同期パターン

第 4 図



ビットエラー発生間隔を示す図

第 5 図

